



PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of

Docket No: Q80846

Takashi MANABE

Appln. No.: 10/814,268

Group Art Unit: Not yet assigned

Confirmation No.: Not yet assigned

Examiner: Not yet assigned

Filed: April 1, 2004

For: MEMORY CIRCUIT AND METHOD FOR OPERATION THE SAME

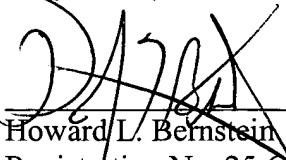
SUBMISSION OF PRIORITY DOCUMENT

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

Submitted herewith is a certified copy of the priority document on which a claim to priority was made under 35 U.S.C. § 119. The Examiner is respectfully requested to acknowledge receipt of said priority document.

Respectfully submitted,


Howard L. Bernstein
Registration No. 25,605

SUGHRUE MION, PLLC
Telephone: (202) 293-7060
Facsimile: (202) 293-7860

WASHINGTON OFFICE

23373

CUSTOMER NUMBER

Enclosures: Japan 2003-098175

Date: April 15, 2004

US

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 4 月 1 日
Date of Application:

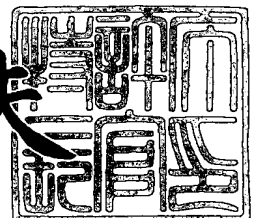
出 願 番 号 特 願 2 0 0 3 - 0 9 8 1 7 5
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 0 9 8 1 7 5]

出 願 人 N E C プ ラ ズ マ デ ィ ス プ レ イ 株 式 会 社
Applicant(s):

2 0 0 4 年 3 月 3 0 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 4 - 3 0 2 5 9 8 1

【書類名】 特許願

【整理番号】 23710044

【提出日】 平成15年 4月 1日

【あて先】 特許庁長官 殿

【国際特許分類】 H03K 5/13

【発明者】

 【住所又は居所】 東京都港区芝五丁目 7 番 1 号 N E C プラズマディスプレイ株式会社内

 【氏名】 真鍋 尚

【特許出願人】

 【識別番号】 000232151

 【氏名又は名称】 N E C プラズマディスプレイ株式会社

【代理人】

 【識別番号】 100102864

 【弁理士】

 【氏名又は名称】 工藤 実

【手数料の表示】

 【予納台帳番号】 053213

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 9905262

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 メモリ回路、メモリ回路動作方法

【特許請求の範囲】

【請求項 1】 メモリと、

基準クロック信号を遅延させて遅延クロック信号を生成する遅延回路と、

前記メモリ又はその周辺回路の温度、又は前記メモリ又はその周辺回路の電源電圧を検出する検出回路と、

前記検出回路が検出した温度又は電源電圧に応答して制御信号を生成する制御回路と、

を具備し、

前記遅延回路は前記制御信号により前記遅延クロック信号の遅延量を制御することを特徴とするメモリ回路。

【請求項 2】 請求項 1 に記載のメモリ回路において、

前記メモリから読み出すデータを取り込む、又は前記メモリに書き込むデータを取り込むデータ取り込み回路をさらに具備し、

前記メモリ又は前記データ取り込み回路は前記遅延クロック信号に同期して動作することを特徴とするメモリ回路。

【請求項 3】 請求項 1 又は 2 に記載のメモリ回路において、

前記遅延回路は PLL 回路又は DLL 回路であることを特徴とするメモリ回路

。

【請求項 4】 請求項 1 乃至 3 の何れか 1 項に記載のメモリ回路を具備し、前記メモリ回路から出力する画像データを表示することを特徴とする表示装置。

【請求項 5】 請求項 1 乃至 3 の何れか 1 項に記載のメモリ回路と、プラズマディスプレイパネルを具備し、前記メモリ回路から出力する画像データを前記プラズマディスプレイパネルに表示することを特徴とする表示装置。

【請求項 6】 基準クロック信号を遅延させて遅延クロック信号を生成するステップと、

メモリ回路の温度又は電源電圧を検出するステップと、

前記検出した温度又は電源電圧により、前記遅延クロック信号の遅延量を決定

するステップと、

を具備するメモリ回路の動作方法。

【請求項 7】 第 1 のクロックに同期してメモリを駆動するステップと、

第 2 のクロックに同期して前記メモリから読み出したデータを取り込む、又は前記メモリに書き込むデータを取り込むステップと、

前記メモリ又はその周辺回路の温度、又は前記メモリ又はその周辺回路の電源電圧を検出するステップと、

検出した前記温度又は電源電圧により前記第 1 のクロックと第 2 のクロックの相対的遅延量を制御するステップと、

を具備するメモリ回路の動作方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は半導体回路に関し、特にメモリアクセス回路に関する。

【0002】

【従来の技術】

メモリアクセス回路において、設計時に外部メモリのデータ遅延を詳細に見積もり設計することは非常に困難である。例えば、現在主流の DRAM となっている、166MHz 動作の DDR SDRAM はデータサイクルが 3 ns と短く、DRAM とメモリアクセス回路のプロセスばらつき、DRAM とメモリアクセス回路の間を接続するボードの電気定数のばらつき、動作環境温度の変化、及び、電源電圧の変化により 2 ns 程度のタイミングが変わることはおこりえる。

【0003】

また、メモリの遅延や基板の配線遅延が LSI 設計時と変更になった際に、メモリアクセス回路を有する LSI の誤動作や動作マージン不足を引き起こす可能性がある。このためにクロック信号の遅延を切り替えられる回路構成が用いられていた。

【0004】

従来、クロック信号に遅延バッファを多段接続し、外部からの制御信号でその

接続遅延バッファ数を切り替えて回路のクロック信号としている技術が知られている（例えば、特許文献1参照。）。

【0005】

この考え方をそのままメモリを読み書きする回路へ応用すると、たとえば図19のようになる。すなわち、メモリを駆動するクロックに対してデータを取り込むデータ取り込みフリップ・フロップ回路のクロック信号は複数の遅延バッファで遅延されており、その遅延量は外部からのスイッチ等で選択できるようになっている。

【0006】

【特許文献1】

特開 2000-91506 号公報

【0007】

【発明が解決しようとする課題】

クロック信号の遅延を外部からのスイッチ等で切り替える回路構成では、メモリアクセス回路動作中に何らかの要因で最適な遅延量が変わった場合、誤動作を起こす可能性があった。例えば、周囲の温度変化や、電源電圧の変動によって、前述の遅延バッファにおける遅延量は変化し、意図されていた遅延量からずれることがある。このために動作保証温度範囲に制限が生じたり、動作保証電圧の範囲が狭くなる等の問題があった。特に高速なメモリを使用する場合には、この遅延量変化が動作保証範囲を大きく制限する。例えば 333 MHz でメモリを駆動する場合、1 サイクルで 3 ns の期間しかなく温度変化による遅延量の変動は 2 ns と大きく動作マージンを著しく圧迫することが分かっている。

【0008】

特に、近年のプラズマディスプレイに代表される大型表示装置は、入力画像データを表示するために、高速で大容量の DRAM と先端プロセスを用いた信号処理 LSI を必要とする。

【0009】

プラズマディスプレイのパネル温度は -10°C ～ $+80^{\circ}\text{C}$ まで変化し、パネル駆動電圧も $\pm 180\text{V}$ と大きい。ここで前述の DRAM と LSI は 2.5 V 程度

の低電圧で動作し、パネルの温度変化、動作電圧変化の影響を大きくうける。

【0010】

本発明が解決しようとする課題は、メモリをアクセスする回路において、温度変化や電源電圧変動の影響を受けないクロック信号の供給方法を提供し、その回路を搭載した装置の動作保証温度範囲を広くし、また、その回路を搭載した装置の動作保証電圧範囲を広くすることにある。

【0011】

【課題を解決するための手段】

以下に、[発明の実施の形態]で使用される番号を用いて、課題を解決するための手段を説明する。これらの番号は、[特許請求の範囲]の記載と[発明の実施の形態]との対応関係を明らかにするために付加されたものである。ただし、それらの番号を、[特許請求の範囲]に記載されている発明の技術的範囲の解釈に用いてはならない。

【0012】

メモリ回路(2)において、メモリ(7)と、基準クロック信号(10)を遅延させて遅延クロック信号(11)(21)を生成する遅延回路(6)と、前記メモリ(7)又はその周辺回路の温度(14)、又は前記メモリ(7)又はその周辺回路の電源電圧(16)を検出する検出回路(15)(17)と、前記検出回路(15)(17)が検出した温度(14)又は電源電圧(16)に応答して制御信号(12)を生成する制御回路(13)と、を具備し、前記遅延回路(6)は前記制御信号(12)により前記遅延クロック信号(11)(21)の遅延量を制御する。

【0013】

さらに、前記メモリ(7)から読み出すデータ(9)を取り込む、又は前記メモリ(7)に書き込むデータ(9)を取り込む、データ取り込み回路(8)をさらに具備し、前記メモリ(7)又は前記データ取り込み回路(8)は、前記遅延クロック信号(11)(21)に同期して動作する。

【0014】

前記遅延回路(6)はPLL回路(19)、又はDLL回路(19)である。

【0015】

表示装置において、前記メモリ回路（2）から出力する画像データを表示する。

【0016】

前記表示装置において、前記メモリ回路（2）と、プラズマディスプレイパネル（1）を具備し、前記メモリ回路（2）から出力する画像データを前記プラズマディスプレイパネル（1）に表示する。

【0017】

基準クロック信号（10）を遅延させて遅延クロック信号（11）（21）を生成するステップと、メモリ（7）回路の温度又は電源電圧を検出するステップと、前記検出した温度（14）又は電源電圧（16）により、前記遅延クロック信号（11）（21）の遅延量を決定するステップと、を具備する方法によりメモリ回路（2）を動作する。

【0018】

さらに、第1のクロックに同期してメモリ（7）を駆動するステップと、第2のクロックに同期して前記メモリ（7）から読み出したデータを取り込む、又は前記メモリ（7）に書き込むデータを取り込むステップと、前記メモリ（7）又はその周辺回路の温度、又は前記メモリ（7）又はその周辺回路の電源電圧を検出するステップと、検出した前記温度又は電源電圧により前記第1のクロックと第2のクロックの相対的遅延量を制御するステップと、を具備する方法で前記メモリ回路（2）を動作する。

【0019】

メモリ回路（2）において、基準クロック信号（10）を遅延させて遅延クロック信号（11）（21）を生成する遅延回路（6）と、温度検出回路（15）と、を具備し、前記温度検出回路（15）は、回路周辺の温度を検出し、前記遅延回路（6）は、前記温度検出回路（15）が検出した温度データ（14）により前記遅延クロック信号（11）（21）の遅延量を決定する。

【0020】

前記メモリ回路（2）は、さらに、制御回路（13）を具備し、前期制御回路

(13) は、前記温度検出回路(15)が検出した温度データ(14)に応答して制御信号を生成し、前記遅延回路(6)は、前記制御信号により前記遅延クロック信号(11)(21)の遅延量を決定する。

【0021】

メモリ回路(2)において、基準クロック信号(10)を遅延させて遅延クロック信号(11)(21)を生成する遅延回路(6)と、電圧検出回路(17)と、を具備し、前記電圧検出回路(17)は、回路の電源電圧を検出し、前記遅延回路(6)は、前記電圧検出回路(17)が検出した電圧(16)により前記遅延クロック信号(11)(21)の遅延量を決定する。

【0022】

前記メモリ回路(2)は、さらに、制御回路(13)を具備し、前期制御回路(13)は、前記電圧検出回路(17)が検出した電圧(16)に応答して制御信号を生成し、前記遅延回路(6)は、前記制御信号により前記遅延クロック信号(11)(21)の遅延量を決定する。

【0023】

メモリ回路(2)において、基準クロック信号(10)を遅延させて遅延クロック信号(11)(21)を生成する遅延回路(6)と、温度検出回路(15)と、電圧検出回路(17)と、を具備し、前記温度検出回路(15)は、回路周辺の温度を検出し、前記電圧検出回路(17)は、回路の電源電圧を検出し、前記遅延回路(6)は、前記温度検出回路(15)が検出した温度データ(14)と、前記電圧検出回路(17)が検出した電圧(16)に基づいて、前記遅延クロック信号(11)(21)の遅延量を決定する。

【0024】

前記メモリ回路(2)は、さらに、制御回路(13)を具備し、前期制御回路(13)は、前記温度検出回路(15)が検出した温度データ(14)と、前記電圧検出回路(17)が検出した電圧(16)に応答して制御信号を生成し、前記遅延回路(6)は、前記制御信号により前記遅延クロック信号(11)(21)の遅延量を決定する。

【0025】

前記遅延回路（6）がPLL回路である。

【0026】

前記遅延回路（6）がDLL回路である。

【0027】

基準クロック信号（10）を遅延させて遅延クロック信号（11）（21）を生成するステップと、回路周辺の温度を検出するステップと、前記検出温度により前記遅延クロック信号（11）（21）の遅延量を決定するステップと、を具備する方法でメモリ回路（2）を動作する。

【0028】

基準クロック信号（10）を遅延させて遅延クロック信号（11）（21）を生成するステップと、回路の電源電圧を検出するステップと、前記検出した電圧（16）により前記遅延クロック信号（11）（21）の遅延量を決定するステップと、を具備する方法でメモリ回路（2）を動作する。

【0029】

基準クロック信号（10）を遅延させて遅延クロック信号（11）（21）を生成するステップと、回路の温度を検出するステップと、前記回路の電源電圧を検出するステップと、前記温度と、前記電圧により前記遅延クロック信号（11）（21）の遅延量を決定するステップと、を具備する方法でメモリ回路（2）を動作する。

【0030】

【発明の実施の形態】

図1から図6を用いて、本発明の第1の実施の形態を以下に述べる。

【0031】

図1は、第1の実施の形態におけるメモリアクセス回路を搭載した装置の一例を示す図である。

【0032】

第1の実施の形態では、搭載する装置にプラズマディスプレイを例にとって述べる。これは、本実施の形態のメモリアクセス回路が、大容量のフレームメモリが必要で、かつ、装置の動作環境の温度範囲が、摂氏マイナス10度から摂氏ブ

ラス 80 度まで変化し、さらに、LSI の電源電圧にも初期の設定ばらつきがあるような、プラズマディスプレイに代表されるような大型表示装置に搭載した場合にも、安定して動作するからである。

【0033】

図 1 を参照すると、第 1 の実施の形態のメモリアクセス回路を搭載した装置は、プラズマディスプレイモジュール 1 と、第 1 の実施の形態のメモリアクセス回路を含むメモリ回路 2 で構成される。

【0034】

図 2 から図 5 は、第 1 の実施の形態における回路構成を示した図である。

【0035】

図 2 を参照すると、第 1 の実施の形態におけるメモリアクセス回路の回路構成は、クロック原信号線 10 を生成するクロック生成回路 3、信号遅延回路 6、メモリ 7、データ取り込みフリップ・フロップ 8、温度検出回路 15、遅延選択制御回路 13 から構成されている。温度検出回路 15 は複数あってもよい。

【0036】

3 はクロック生成回路であり、例えば、メモリにアクセスする LSI に接続される水晶発信器が出力する発振信号を整形し、必要に応じて周波数を通倍するなどしてクロック原信号線 10 を生成する。

【0037】

4 は遅延手段である。この遅延手段 4 は図 2 に示すように遅延素子を複数段接続した構成であり、遅延素子ごとに出力を取り出しており、この各々の出力が、入力されるクロック原信号線 10 を異なった時間だけ遅延させた信号になっている。もちろん、ここで示した遅延手段 4 以外にもさまざまな遅延手段の例を考えることができ本発明ではそれらを含んでいる。

【0038】

5 は選択回路であり、遅延手段 4 の複数の出力信号の中から 1 つを選択して出力することによりリードクロック信号線 11 の遅延値を変更することができる。リードクロック信号線 11 は、メモリから読み出すデータを保持するタイミングを規定している。

【0039】

6は前述の遅延手段4及び選択回路5で構成された信号遅延回路である。入力されるクロック原信号線10を遅延させて出力し、その遅延時間を変更できる。

【0040】

7はメモリである。例えば、クロック原信号線10を入力し、このクロック原信号線10に同期して出力データが変化するクロック同期式メモリである。

【0041】

8はデータ取り込みフリップ・フロップである。メモリ7が出力したデータをリードクロック信号線11に同期してデータ信号線9を取り込む。

【0042】

15は温度検出回路である。温度を検出してそれを電気的な信号に変換し温度検出信号線14を出力する。また遅延切替え制御回路13は前記の温度検出信号線14を入力し、何らかの処理を行った後、信号遅延手段6の遅延切替信号12を出力する。

【0043】

なお、温度検出回路15はLSIのチップ上かあるいは装置上に複数設けてもよい。

【0044】

温度検出回路は15は、回路基板上の任意の場所の温度を検出し、さらに回路基板が筐体内部に設置されている場合には、筐体内部の任意の場所の温度を検出する。

【0045】

以下、第1の実施の形態の動作について説明する。まず、温度による遅延段数切り替えの動作について図6を用いて説明する。リードクロック信号線11に出力される信号の遅延時間は、温度変化に追従して温度検出回路15、遅延切替え制御回路13、遅延手段4、選択回路5の機能により、遅延時間が図6のように変化する。

【0046】

このとき、温度検出回路15で検出した温度により遅延切替え制御回路13が

遅延回路 6 を制御し、遅延手段の段数を切替えることにより、図 6 の太線のように高温から低温まで温度変化があっても、リードクロック信号線 11 の遅延時間は狭い変動範囲に抑えることができる。

【0047】

図 2 は、第 1 の実施の形態における回路構成の、メモリ 7 に入力されるクロック原信号線 10 に対してデータ取り込み回路に入力されるクロック信号を遅延させる場合のメモリのリード動作を示す図である。

【0048】

図 2 を参照すると、メモリ 7 のリード動作は、クロック原信号線 10 で動作しているメモリ 7 のデータ信号線 9 をデータ取り込みフリップ・フロップ 8 に取り込むことである。すなわち、メモリ 7 からの正常なリード動作は、データ信号線 9 とリードクロック信号線 11 の変化タイミングがデータ取り込みフリップ・フロップ 8 のセットアップ時間、ホールド時間で規定されたタイミング内にあることである。

【0049】

図 3 は、第 1 の実施の形態における回路構成の、メモリに入力されるクロック原信号線 10 に対してデータ取り込み回路に入力されるクロック信号を遅延させる場合のメモリの書き込み動作を示す図である。

【0050】

図 3 を参照すると、メモリの書き込み動作は、クロック原信号線 10 で動作しているメモリ 7 のデータ信号線 9 をデータ取り込みフリップ・フロップ 8 から取り込むことである。すなわち、メモリ 7 への正常な書き込み動作は、データ信号線 9 とライトクロック信号線 21 の変化タイミングがデータ取り込みフリップ・フロップ 8 のセットアップ時間、ホールド時間で規定されたタイミング内にあることである。

【0051】

図 4 は、第 1 の実施の形態における回路構成の、データ取り込み回路に入力されるクロック原信号線 10 に対してメモリに入力されるクロック信号を遅延させる場合のメモリのリード動作を示す図である。

【0052】

図4を参照すると、メモリのリード動作は、リードクロック信号線11で動作しているメモリ7のデータ信号線9をデータ取り込みフリップ・フロップ8に取り込むことである。すなわち、メモリ7からの正常なリード動作は、データ信号線9とクロック原信号線10の変化タイミングがデータ取り込みフリップ・フロップ8のセットアップ時間、ホールド時間で規定されたタイミング内にあることである。

【0053】

図5は、第1の実施の形態における回路構成の、データ取り込み回路に入力されるクロック原信号線10に対してメモリに入力されるクロック信号を遅延させる場合のメモリの書き込み動作を示す図である。

【0054】

図5を参照すると、メモリの書き込み動作は、ライトクロック信号線21で動作しているメモリ7のデータ信号線9をデータ取り込みフリップ・フロップ8から取り込むことである。すなわち、メモリ7への正常な書き込み動作は、データ信号線9とクロック原信号線10の変化タイミングがデータ取り込みフリップ・フロップ8のセットアップ時間、ホールド時間で規定されたタイミング内にあることである。

【0055】

以上の動作より、データ取り込みフリップ・フロップ8の規定タイミング内に前記のリードクロック11の遅延時間変動範囲を抑えることで、広い温度範囲でのメモリ7アクセスが正常動作する。この結果、広い温度範囲での装置1の動作を保証することができる。

【0056】

図7から図10を用いて、本発明の第2の実施の形態について述べる。

【0057】

図7から図10は、第2の実施の形態における回路構成を示した図である。

【0058】

メモリアクセス回路における電源電圧の変化によってもトランジスタの遅延時

間は変化し、リードクロック遅延時間は変化する。

【0059】

このため、第1の実施の形態で述べた温度検出回路に変えて、電源電圧検出回路17を用いることで、広い電源電圧範囲の保証を行うことができる。電源電圧検出回路17は複数あってもよい。

【0060】

電源電圧検出回路17は、回路基板上の任意の場所の電源電圧を検出し、さらに回路基板が装置に設置されている場合には、装置に流れるの任意の場所の電圧を検出する。

【0061】

図7は、第2の実施の形態における回路構成の、メモリに入力されるクロック信号に対してデータ取り込み回路に入力されるクロック信号を遅延させる場合のメモリのリード動作を示す図である。

【0062】

図7を参照すると、メモリのリード動作は、クロック原信号線10で動作しているメモリ7のデータ信号線9をデータ取り込みフリップ・フロップ8に取り込むことである。すなわち、メモリ7からの正常なリード動作は、データ信号線9とリードクロック信号線11の変化タイミングがデータ取り込みフリップ・フロップ8のセットアップ時間、ホールド時間で規定されたタイミング内にあることが必要である。

【0063】

図8は、第2の実施の形態における回路構成の、メモリに入力されるクロック信号に対してデータ取り込み回路に入力されるクロック信号を遅延させる場合のメモリの書き込み動作を示す図である。

【0064】

図8を参照すると、メモリの書き込み動作はクロック原信号線10で動作しているメモリ7のデータ信号線9をデータ取り込みフリップ・フロップ8から取り込むことである。すなわち、メモリ7への正常な書き込み動作は、データ信号線9とライトクロック信号線21の変化タイミングがデータ取り込みフリップ・フ

ロップ 8 のセットアップ時間、ホールド時間で規定されたタイミング内にあることが必要である。

【0065】

図 9 は、第 2 の実施の形態における回路構成の、データ取り込み回路に入力されるクロック信号に対してメモリに入力されるクロック信号を遅延させる場合のメモリのリード動作を示す図である。

【0066】

図 9 を参照すると、メモリのリード動作は、リードクロック信号線 11 で動作しているメモリ 7 のデータ信号線 9 をデータ取り込みフリップ・フロップ 8 に取り込むことである。すなわち、メモリ 7 からの正常なリード動作は、データ信号線 9 とクロック原信号線 10 の変化タイミングがデータ取り込みフリップ・フロップ 8 のセットアップ時間、ホールド時間で規定されたタイミング内にあることが必要である。

【0067】

図 10 は、第 2 の実施の形態における回路構成の、データ取り込み回路に入力されるクロック信号に対してメモリに入力されるクロック信号を遅延させる場合のメモリの書き込み動作を示す図である。

【0068】

図 10 を参照すると、メモリの書き込み動作は、ライトクロック信号線 21 で動作しているメモリ 7 のデータ信号線 9 をデータ取り込みフリップ・フロップ 8 から取り込むことである。すなわち、メモリ 7 への正常な書き込み動作は、データ信号線 9 とクロック原信号線 10 の変化タイミングがデータ取り込みフリップ・フロップ 8 のセットアップ時間、ホールド時間で規定されたタイミング内にあることが必要である。

【0069】

以上の動作より、データ取り込みフリップ・フロップ 8 の規定タイミング内に前記のリードクロック 11 の遅延時間変動範囲を抑えることで、広い電源電圧範囲でのメモリ 7 アクセスが正常動作する。この結果、広い電源電圧範囲での装置 1 の動作を保証することができる。

【0070】

図11から図14を用いて、本発明の第3の実施の形態について述べる。

【0071】

図11から図14は、第3の実施の形態における回路構成を示した図である。

【0072】

第3の実施の形態では、第1の実施の形態で述べた温度検出回路と、第2の実施の形態で述べた電源電圧検出回路17の両方を備え、検出温度と検出電源電圧によって、リードクロック信号線の遅延量を切り替える。温度検出回路及び電源電圧検出回路17は複数あってもよい。

【0073】

図11は、第3の実施の形態における回路構成の、メモリに入力されるクロック信号に対してデータ取り込み回路に入力されるクロック信号を遅延させる場合のメモリのリード動作を示す図である。

【0074】

図11を参照すると、メモリのリード動作は、クロック原信号線10で動作しているメモリ7のデータ信号線9をデータ取り込みフリップ・フロップ8に取り込むことである。すなわち、メモリ7からの正常なリード動作は、データ信号線9とリードクロック信号線11の変化タイミングがデータ取り込みフリップ・フロップ8のセットアップ時間、ホールド時間で規定されたタイミング内にあることが必要である。

【0075】

図12は、第3の実施の形態における回路構成の、メモリに入力されるクロック信号に対してデータ取り込み回路に入力されるクロック信号を遅延させる場合のメモリの書き込み動作を示す図である。

【0076】

図12を参照すると、メモリの書き込み動作はクロック原信号線10で動作しているメモリ7のデータ信号線9をデータ取り込みフリップ・フロップ8から取り込むことである。すなわち、メモリ7への正常な書き込み動作は、データ信号線9とライトクロック信号線21の変化タイミングがデータ取り込みフリップ・

フロップ 8 のセットアップ時間、ホールド時間で規定されたタイミング内にあることが必要である。

【0077】

図 13 は、第 3 の実施の形態における回路構成の、データ取り込み回路に入力されるクロック信号に対してメモリに入力されるクロック信号を遅延させる場合のメモリのリード動作を示す図である。

【0078】

図 13 を参照すると、メモリのリード動作は、リードクロック信号線 11 で動作しているメモリ 7 のデータ信号線 9 をデータ取り込みフリップ・フロップ 8 に取り込むことである。すなわち、メモリ 7 からの正常なリード動作は、データ信号線 9 とクロック原信号線 10 の変化タイミングがデータ取り込みフリップ・フロップ 8 のセットアップ時間、ホールド時間で規定されたタイミング内にあることが必要である。

【0079】

図 14 は、第 3 の実施の形態における回路構成の、データ取り込み回路に入力されるクロック信号に対してメモリに入力されるクロック信号を遅延させる場合のメモリの書き込み動作を示す図である。

【0080】

図 14 を参照すると、メモリの書き込み動作は、ライトクロック信号線 21 で動作しているメモリ 7 のデータ信号線 9 をデータ取り込みフリップ・フロップ 8 から取り込むことである。すなわち、メモリ 7 への正常な書き込み動作は、データ信号線 9 とクロック原信号線 10 の変化タイミングがデータ取り込みフリップ・フロップ 8 のセットアップ時間、ホールド時間で規定されたタイミング内にあることが必要である。

【0081】

以上の動作より、データ取り込みフリップ・フロップ 8 の規定タイミング内に前記のリードクロック 11 の遅延時間変動範囲を抑えることで、広い電源電圧範囲でのメモリ 7 アクセスが正常動作する。この結果、広い温度範囲と、広い電源電圧範囲での装置 1 の動作を保証することができる。

【0082】

図15から図18を用いて、本発明の第4の実施の形態について以下に述べる。

【0083】

図15から図18は、第4の実施の形態における回路構成を示した図である。

【0084】

第4の実施の形態において、遅延回路に、出力信号の位相調整可能なPLL回路、またはDLL回路を用いる。

【0085】

図15は、第4の実施の形態における回路構成の、メモリに入力されるクロック信号に対してデータ取り込み回路に入力されるクロック信号を遅延させる場合のメモリのリード動作を示す図である。

【0086】

図15を参照すると、メモリのリード動作は、クロック原信号線10で動作しているメモリ7のデータ信号線9をデータ取り込みフリップ・フロップ8に取り込むことである。すなわち、メモリ7からの正常なリード動作は、データ信号線9とリードクロック信号線11の変化タイミングがデータ取り込みフリップ・フロップ8のセットアップ時間、ホールド時間で規定されたタイミング内にあることが必要である。

【0087】

図16は、第4の実施の形態における回路構成の、メモリに入力されるクロック信号に対してデータ取り込み回路に入力されるクロック信号を遅延させる場合のメモリの書き込み動作を示す図である。

【0088】

図16を参照すると、メモリの書き込み動作はクロック原信号線10で動作しているメモリ7のデータ信号線9をデータ取り込みフリップ・フロップ8から取り込むことである。すなわち、メモリ7への正常な書き込み動作は、データ信号線9とライトクロック信号線21の変化タイミングがデータ取り込みフリップ・フロップ8のセットアップ時間、ホールド時間で規定されたタイミング内にある

ことが必要である。

【0089】

図17は、第4の実施の形態における回路構成の、データ取り込み回路に入力されるクロック信号に対してメモリに入力されるクロック信号を遅延させる場合のメモリのリード動作を示す図である。

【0090】

図17を参照すると、メモリのリード動作は、リードクロック信号線11で動作しているメモリ7のデータ信号線9をデータ取り込みフリップ・フロップ8に取り込むことである。すなわち、メモリ7からの正常なリード動作は、データ信号線9とクロック原信号線10の変化タイミングがデータ取り込みフリップ・フロップ8のセットアップ時間、ホールド時間で規定されたタイミング内にあることが必要である。

【0091】

図18は、第4の実施の形態における回路構成の、データ取り込み回路に入力されるクロック信号に対してメモリに入力されるクロック信号を遅延させる場合のメモリの書き込み動作を示す図である。

【0092】

図18を参照すると、メモリの書き込み動作は、ライトクロック信号線21で動作しているメモリ7のデータ信号線9をデータ取り込みフリップ・フロップ8から取り込むことである。すなわち、メモリ7への正常な書き込み動作は、データ信号線9とクロック原信号線10の変化タイミングがデータ取り込みフリップ・フロップ8のセットアップ時間、ホールド時間で規定されたタイミング内にあることが必要である。

【0093】

以上の動作より、データ取り込みフリップ・フロップ8の規定タイミング内に前記のリードクロック信号線11の遅延時間変動範囲を抑えることで、広い温度範囲でのメモリ7アクセスが正常動作する。この結果、広い温度範囲での装置1の動作を保証することができる。

【0094】

【発明の効果】

本発明の効果は、回路動作中の温度の変化や、電源電圧の変動が発生した場合でも、動作マージンを変化させることなく、メモリにアクセス可能なメモリ回路構成を設計することができ、特に動作マージンに余裕のない高速メモリを使用する回路に効果がある。

【0095】

本発明の他の効果は、プラズマディスプレイに代表される大型表示装置に本発明のメモリ回路を搭載した場合に、その装置の動作保証温度範囲を広くし、また、その装置の動作保証電圧範囲を広くすることができる効果がある。

【図面の簡単な説明】**【図1】**

図1は、本発明の第1の実施の形態の回路を搭載した装置図である。

【図2】

図2は、本発明の第1の実施の形態における回路構成の、メモリに入力されるクロック原信号に対してデータ取り込み回路に入力されるクロック信号を遅延させる場合のメモリのリード動作を示す図である。

【図3】

図3は、本発明の第1の実施の形態における回路構成の、メモリに入力されるクロック原信号に対してデータ取り込み回路に入力されるクロック信号を遅延させる場合のメモリの書き込み動作を示す図である。

【図4】

図4は、本発明の第1の実施の形態における回路構成の、データ取り込み回路に入力されるクロック原信号に対してメモリに入力されるクロック信号を遅延させる場合のメモリのリード動作を示す図である。

【図5】

図5は、本発明の第1の実施の形態における回路構成の、データ取り込み回路に入力されるクロック原信号に対してメモリに入力されるクロック信号を遅延させる場合のメモリの書き込み動作を示す図である。

【図6】

図6は、本発明の温度による遅延素子の段数を変化させたときの、リードクロック信号タイミング図である。

【図7】

図7は、本発明の第2の実施の形態における回路構成の、メモリに入力されるクロック原信号に対してデータ取り込み回路に入力されるクロック信号を遅延させる場合のメモリのリード動作を示す図である。

【図8】

図8は、本発明の第2の実施の形態における回路構成の、メモリに入力されるクロック原信号に対してデータ取り込み回路に入力されるクロック信号を遅延させる場合のメモリの書き込み動作を示す図である。

【図9】

図9は、本発明の第2の実施の形態における回路構成の、データ取り込み回路に入力されるクロック原信号に対してメモリに入力されるクロック信号を遅延させる場合のメモリのリード動作を示す図である。

【図10】

図10は、本発明の第2の実施の形態における回路構成の、データ取り込み回路に入力されるクロック原信号に対してメモリに入力されるクロック信号を遅延させる場合のメモリの書き込み動作を示す図である。

【図11】

図11は、本発明の第3の実施の形態における回路構成の、メモリに入力されるクロック原信号に対してデータ取り込み回路に入力されるクロック信号を遅延させる場合のメモリのリード動作を示す図である。

【図12】

図12は、本発明の第3の実施の形態における回路構成の、メモリに入力されるクロック原信号に対してデータ取り込み回路に入力されるクロック信号を遅延させる場合のメモリの書き込み動作を示す図である。

【図13】

図13は、本発明の第3の実施の形態における回路構成の、データ取り込み回路に入力されるクロック原信号に対してメモリに入力されるクロック信号を遅延

させる場合のメモリのリード動作を示す図である。

【図 14】

図 14 は、本発明の第 3 の実施の形態における回路構成の、データ取り込み回路にされるクロック原信号に対してメモリにされるクロック信号を遅延させる場合のメモリの書き込み動作を示す図である。

【図 15】

図 15 は、本発明の第 4 の実施の形態における回路構成の、メモリにされるクロック原信号に対してデータ取り込み回路にされるクロック信号を遅延させる場合のメモリのリード動作を示す図である。

【図 16】

図 16 は、本発明の第 4 の実施の形態における回路構成の、メモリにされるクロック原信号に対してデータ取り込み回路にされるクロック信号を遅延させる場合のメモリの書き込み動作を示す図である。

【図 17】

図 17 は、本発明の第 4 の実施の形態における回路構成の、データ取り込み回路にされるクロック原信号に対してメモリにされるクロック信号を遅延させる場合のメモリのリード動作を示す図である。

【図 18】

図 18 は、本発明の第 4 の実施の形態における回路構成の、データ取り込み回路にされるクロック原信号に対してメモリにされるクロック信号を遅延させる場合のメモリの書き込み動作を示す図である。

【図 19】

図 19 は、従来のメモリアクセス回路の回路構成を示した図である。

【符号の説明】

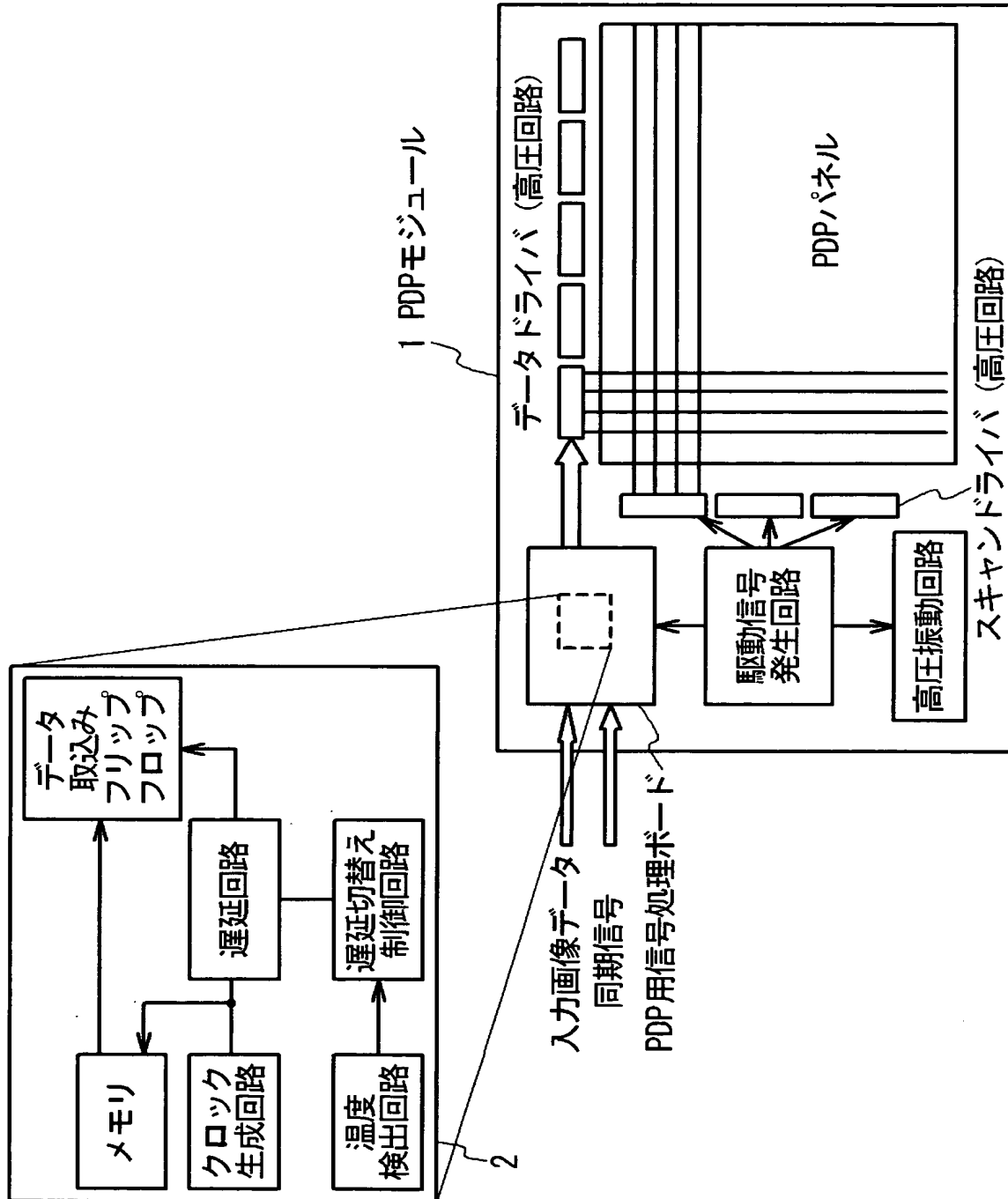
- 1 プラズマディスプレイモジュール
- 2 メモリ回路
- 3 クロック生成回路
- 4 遅延手段
- 5 選択回路

- 6 信号遅延手段
- 7 メモリ
- 8 データ取り込みフリップ・フロップ
- 9 データ信号線
- 1 0 クロック原信号線
- 1 1 リードクロック信号線
- 1 2 遅延切替信号
- 1 3 遅延切替え制御回路
- 1 4 温度検出信号線
- 1 5 温度検出回路
- 1 6 電源電圧検出信号線
- 1 7 電源電圧検出回路
- 1 8 メモリアクセス回路
- 1 9 出力位相制御対応 P L L、もしくは D L L 回路
- 2 0 スイッチ
- 2 1 ライトクロック信号線

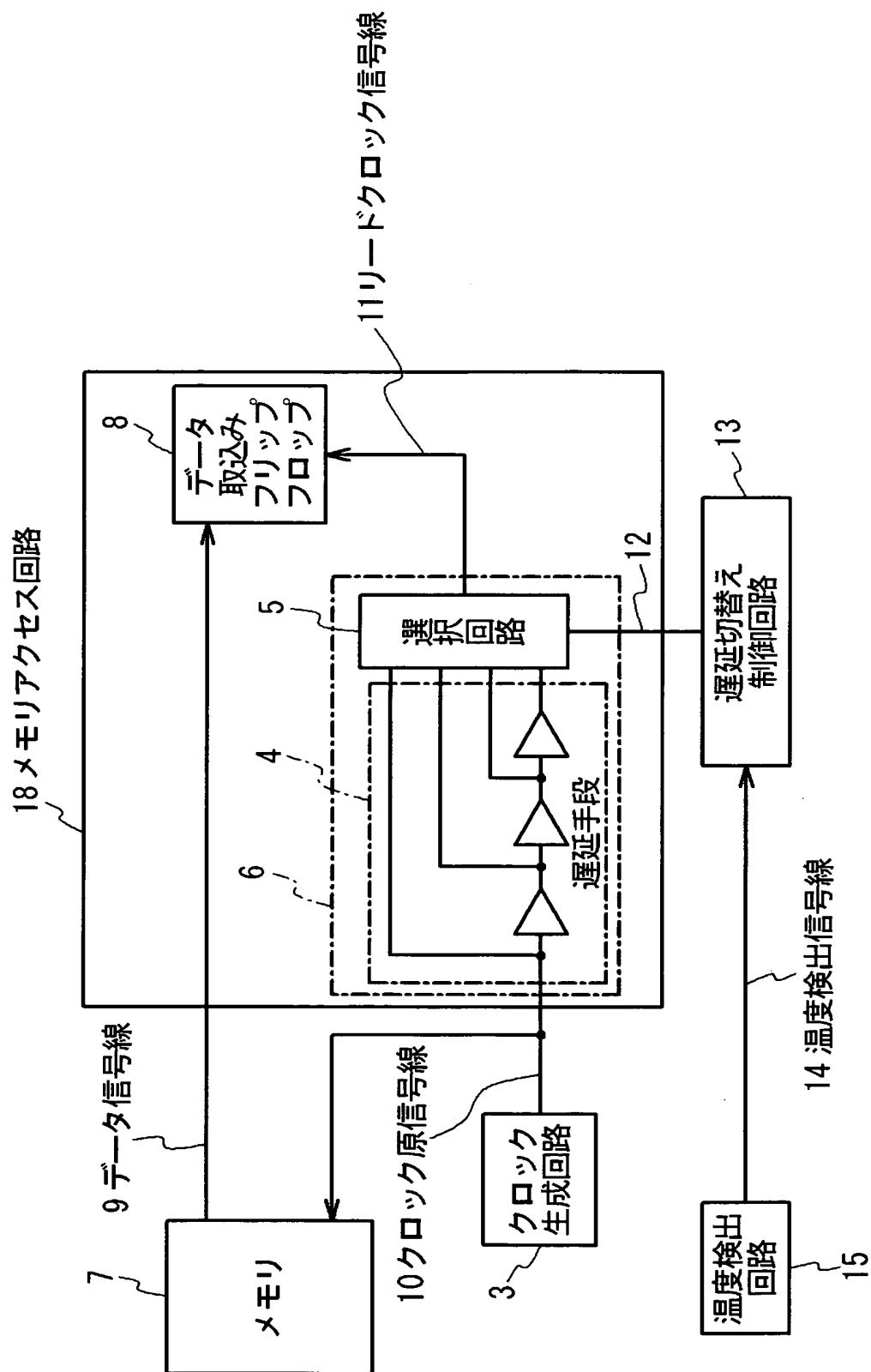
【書類名】

図面

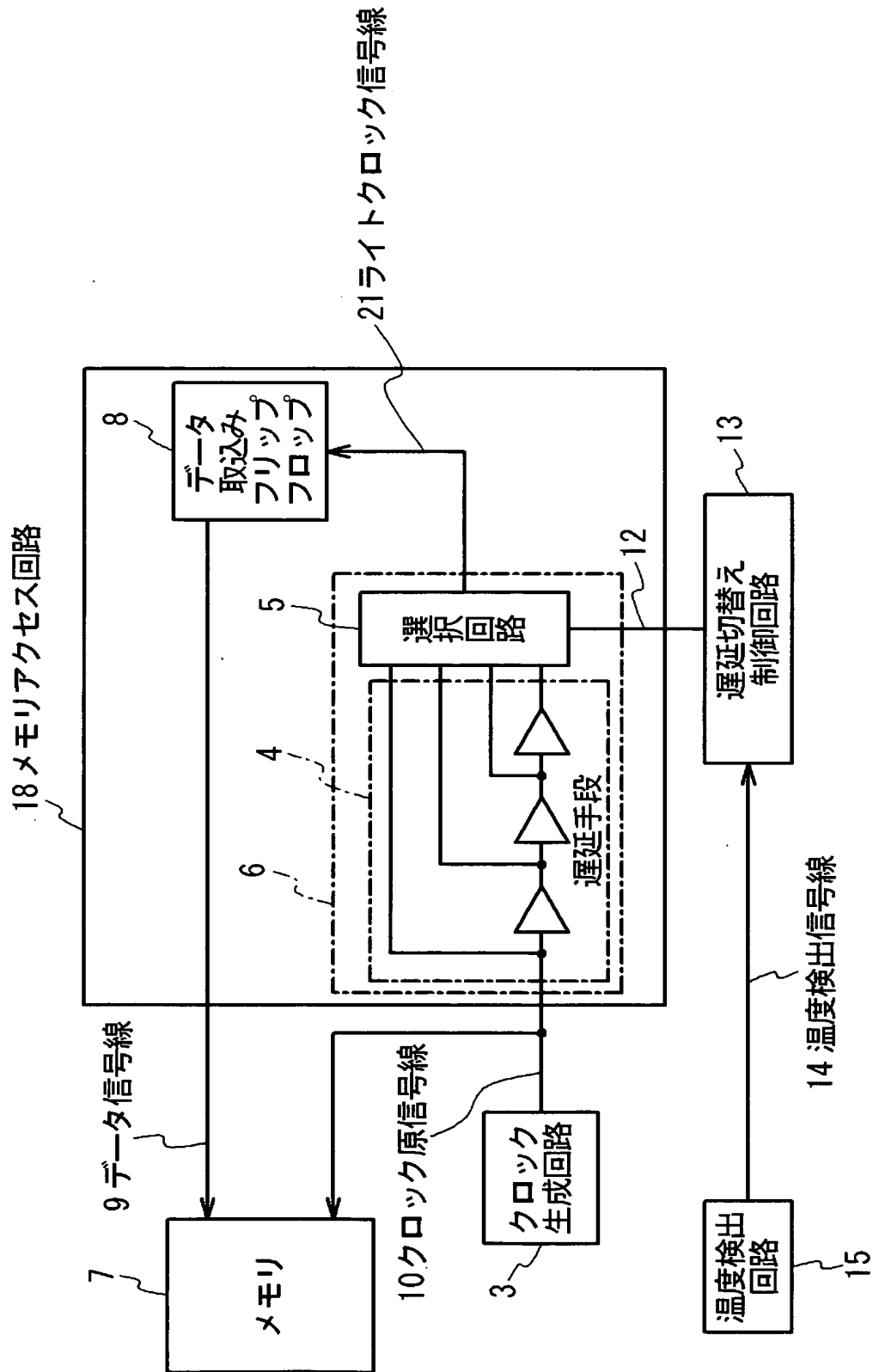
【図 1】



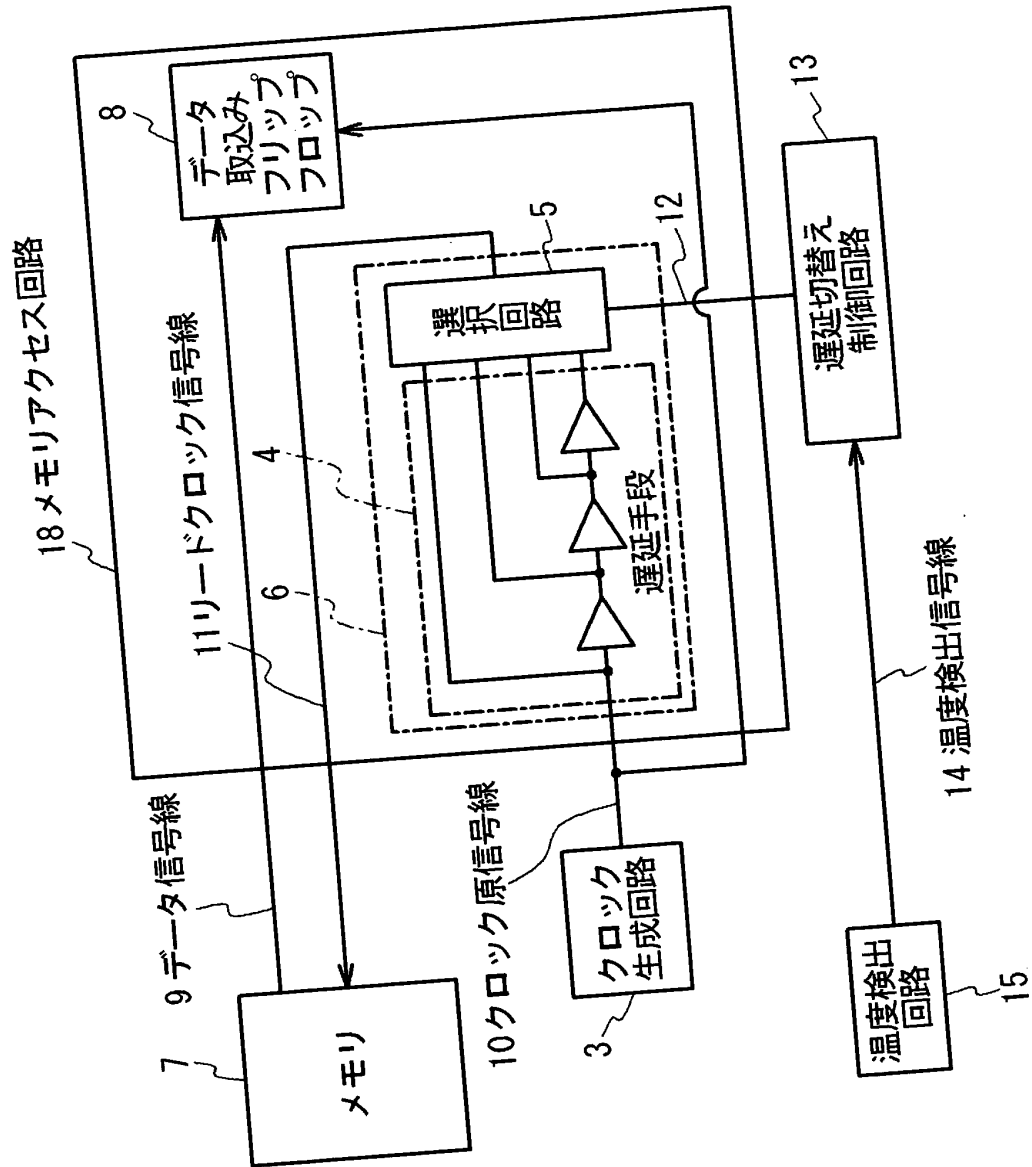
【図 2】



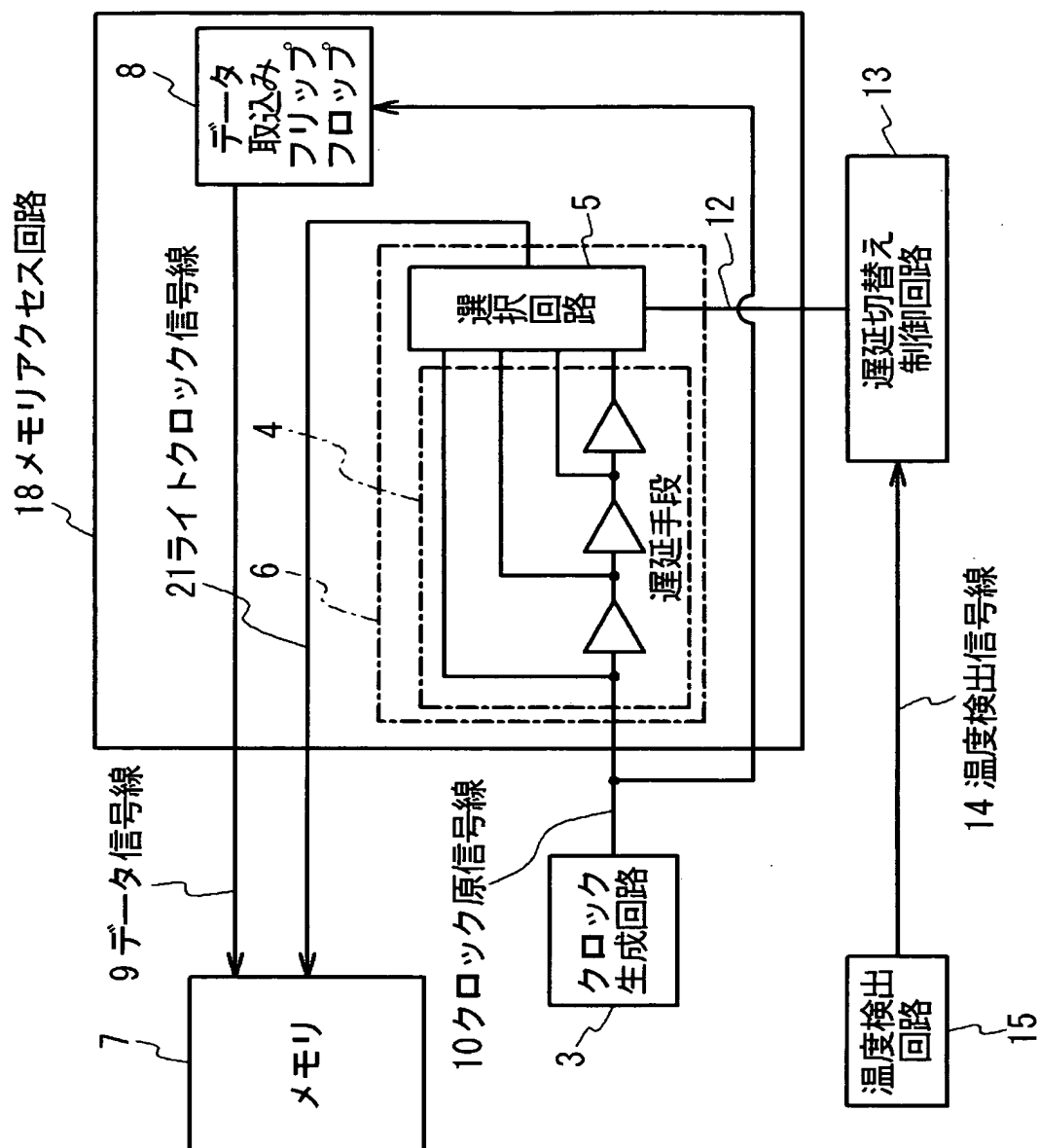
【図 3】



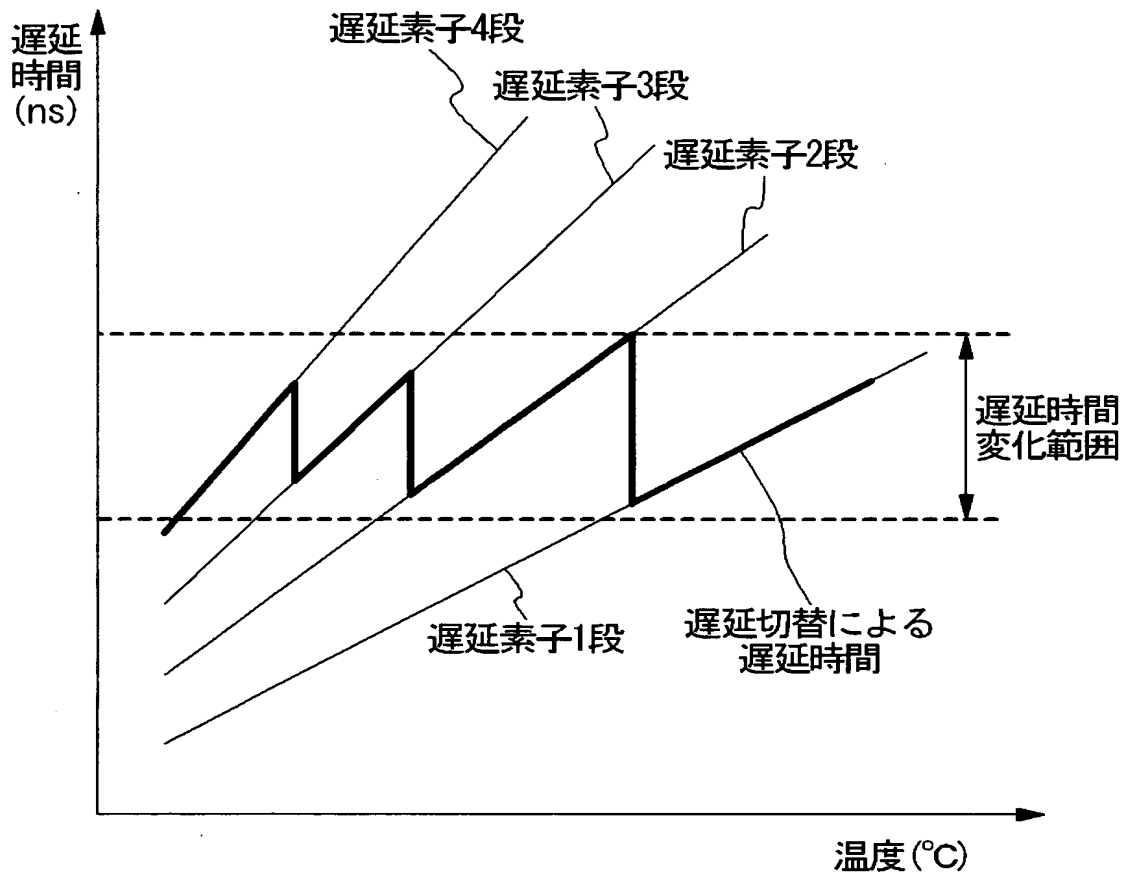
【図 4】



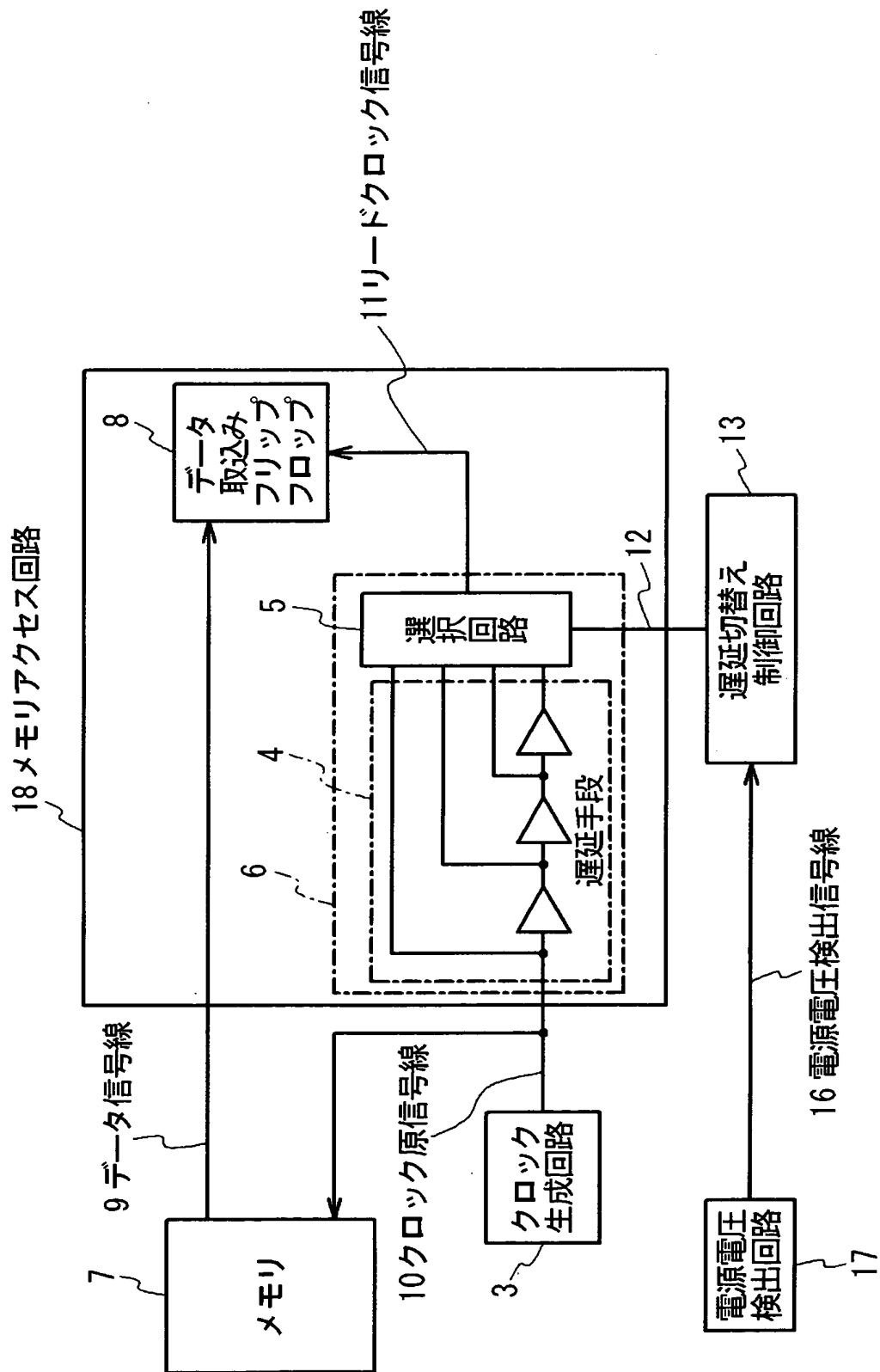
【図 5】



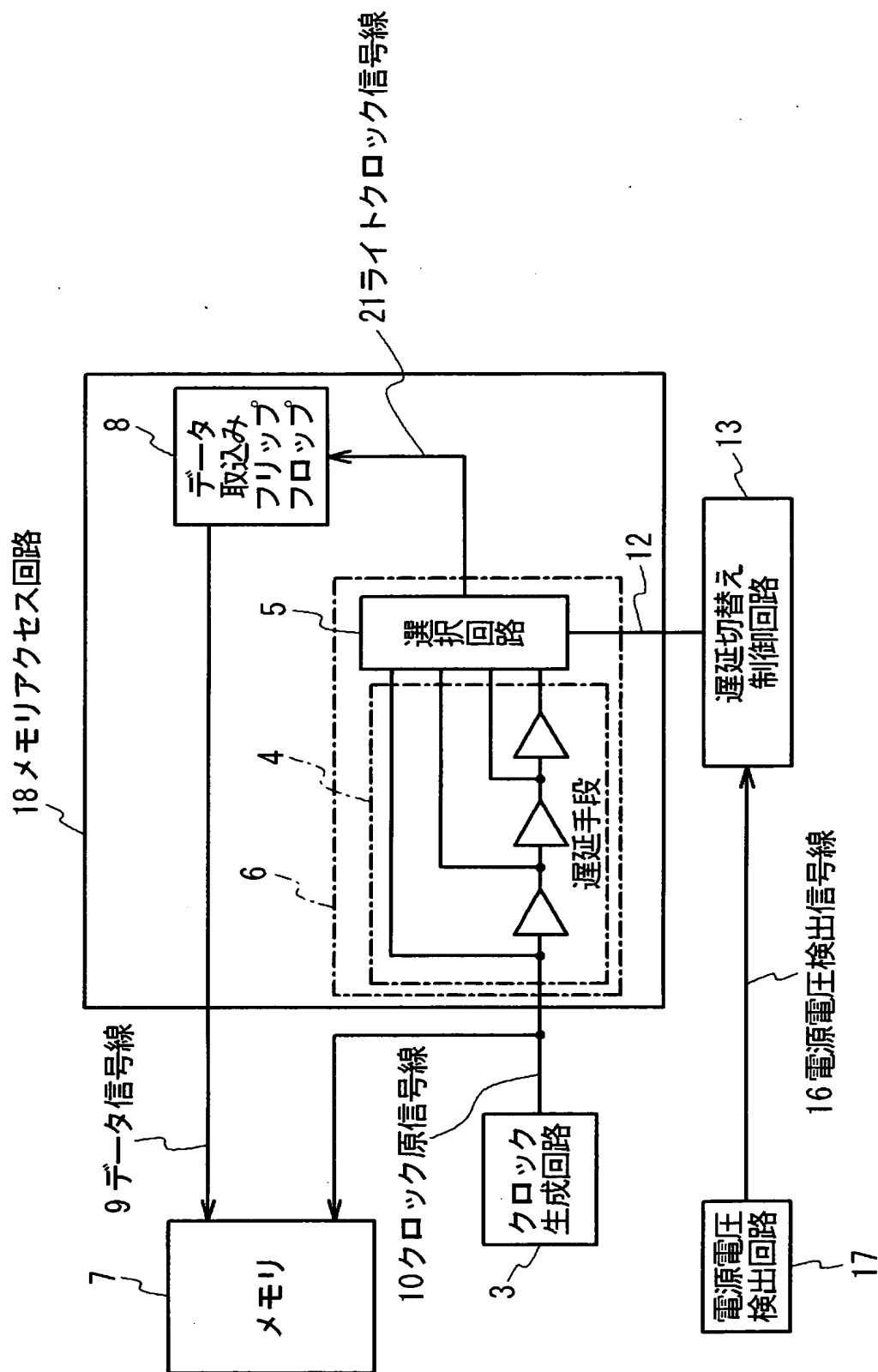
【図 6】



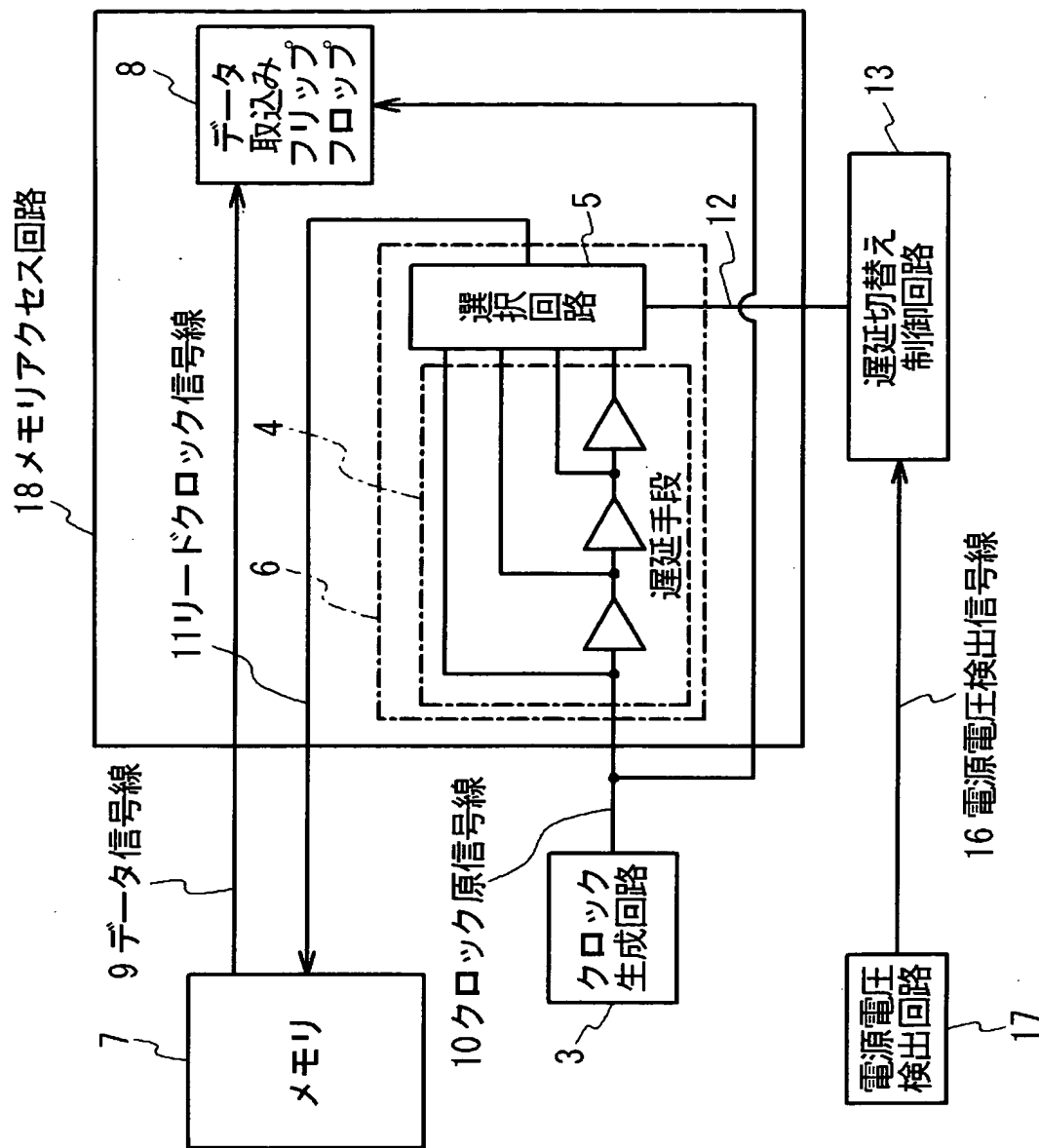
【図7】



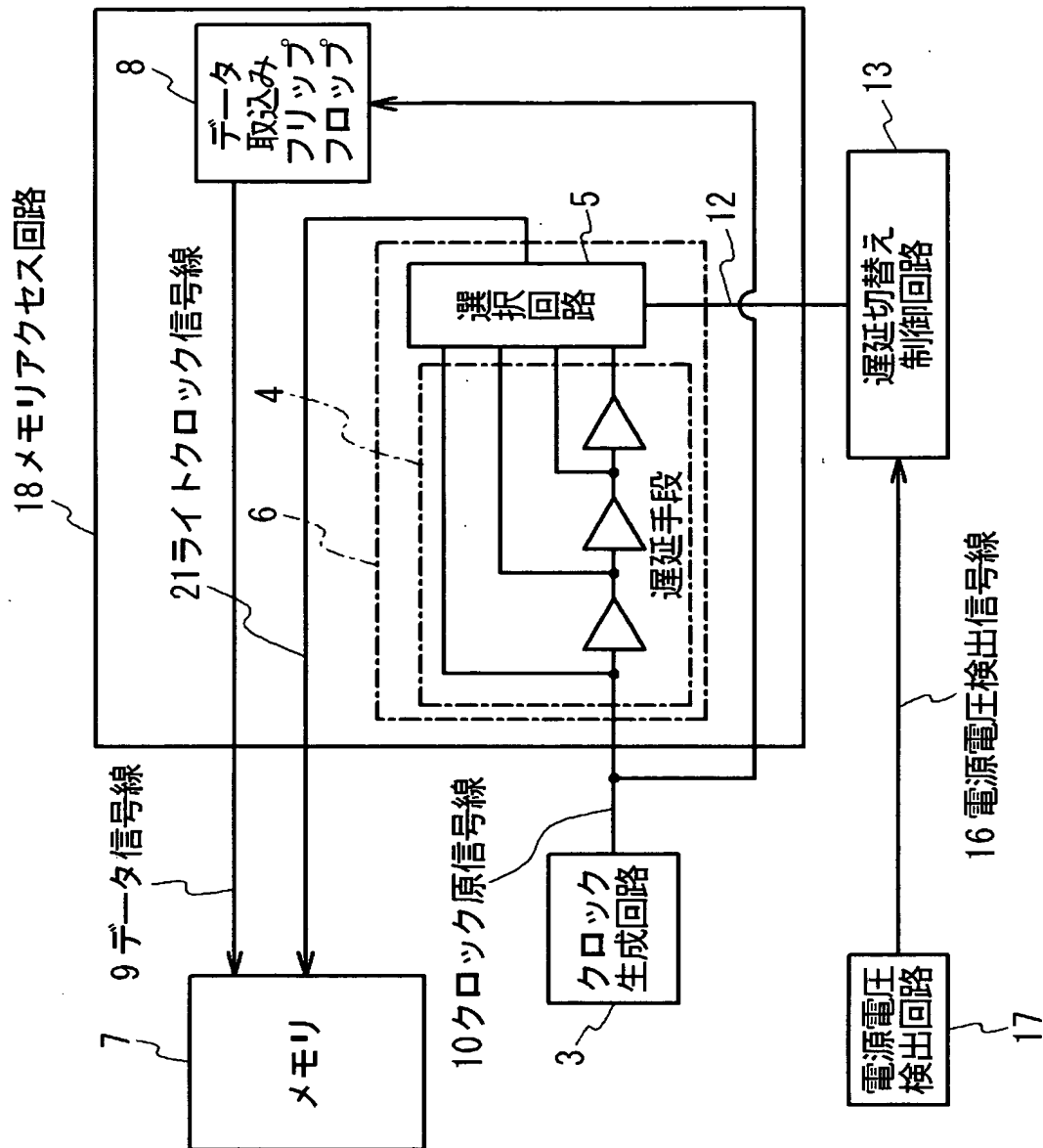
【図 8】



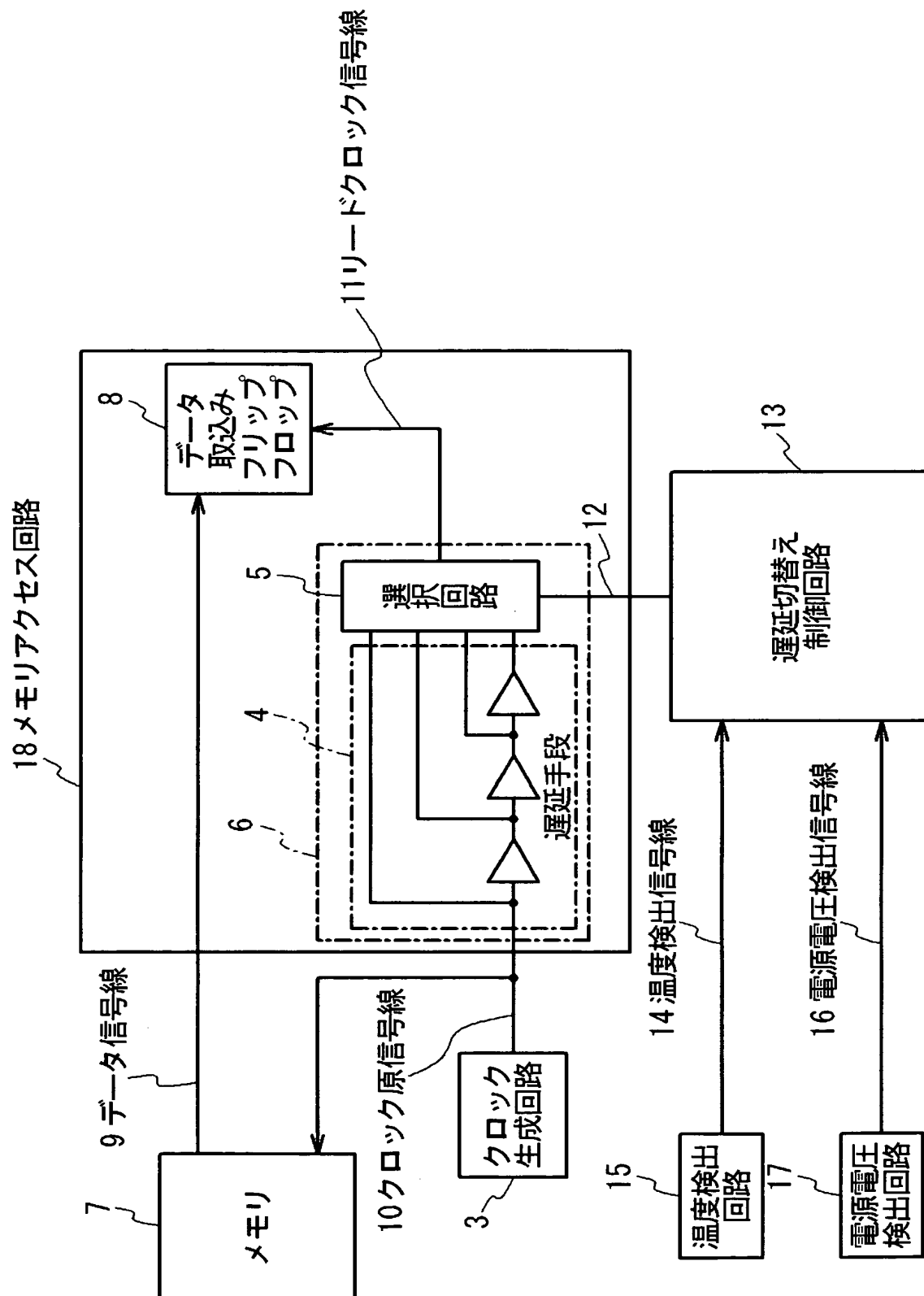
【図 9】



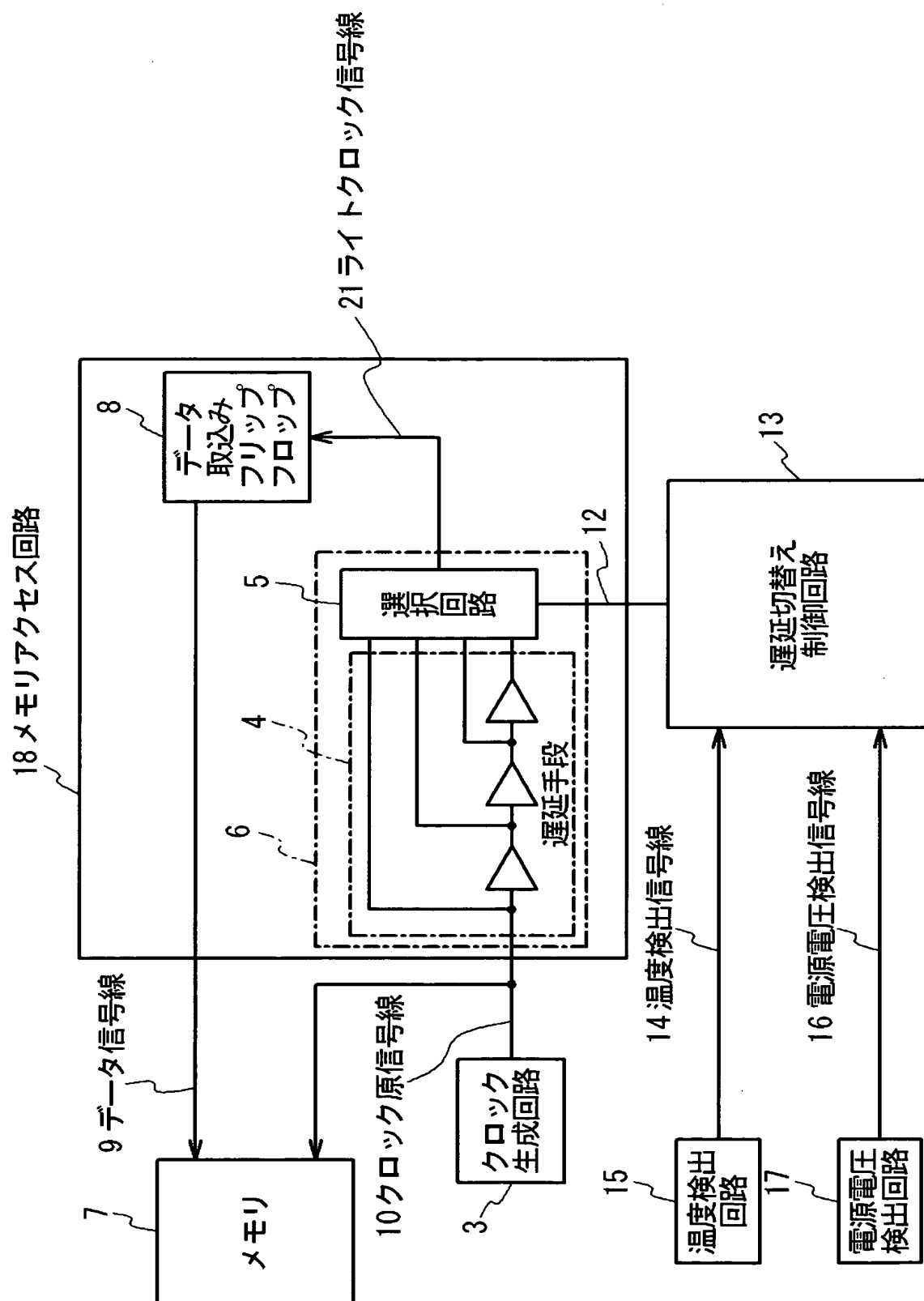
【図 10】



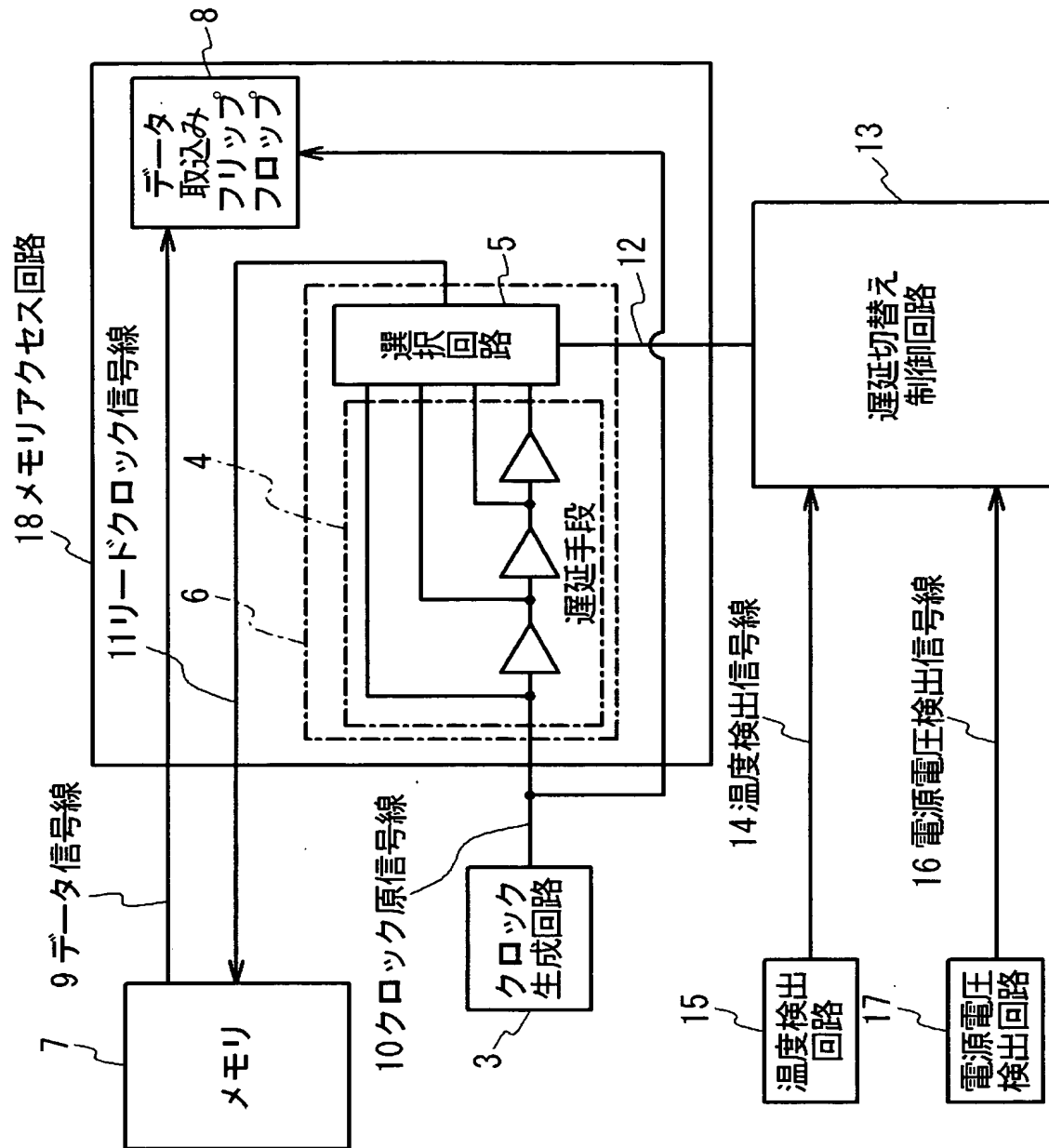
【図 11】



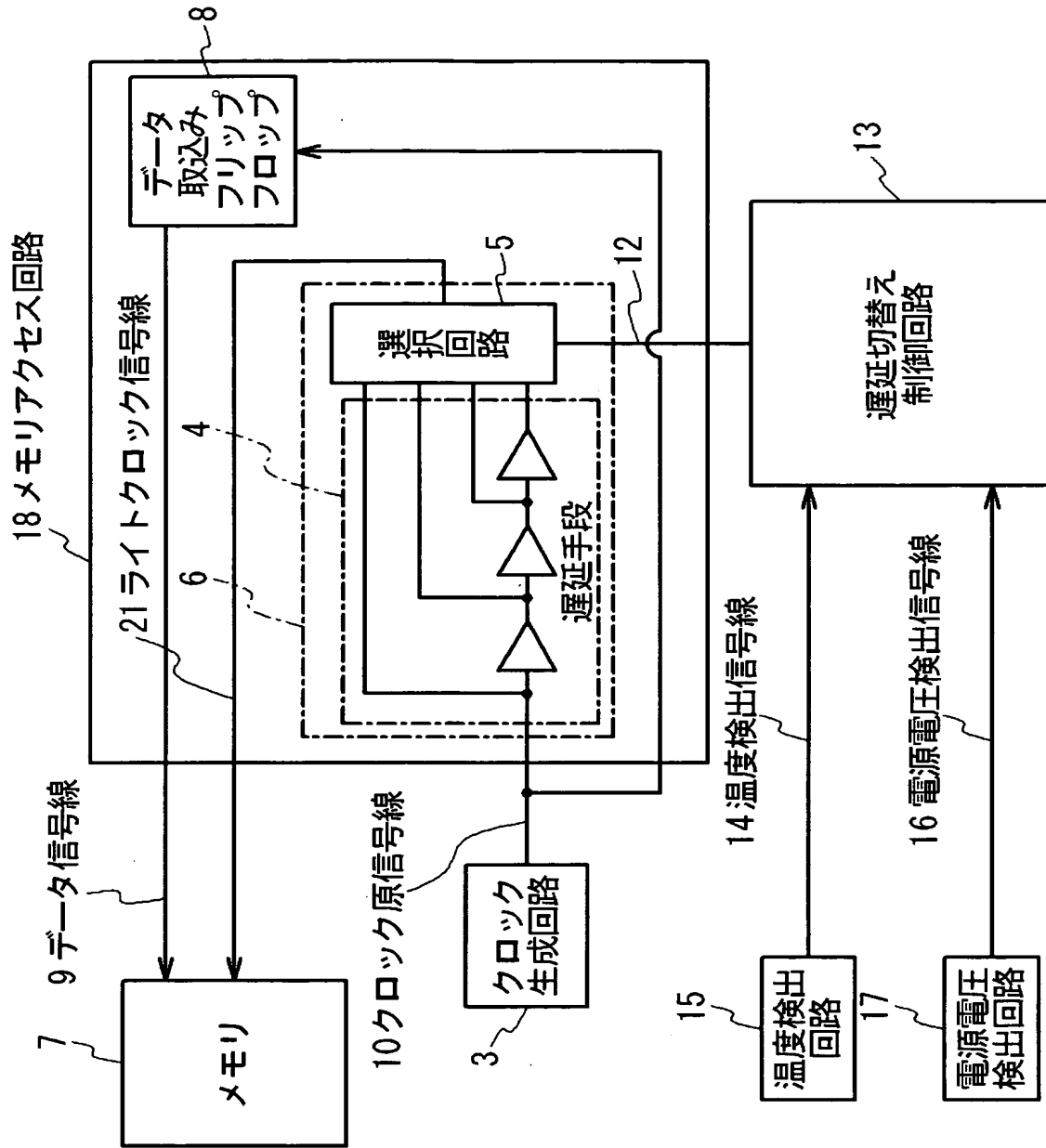
【図 1 2】



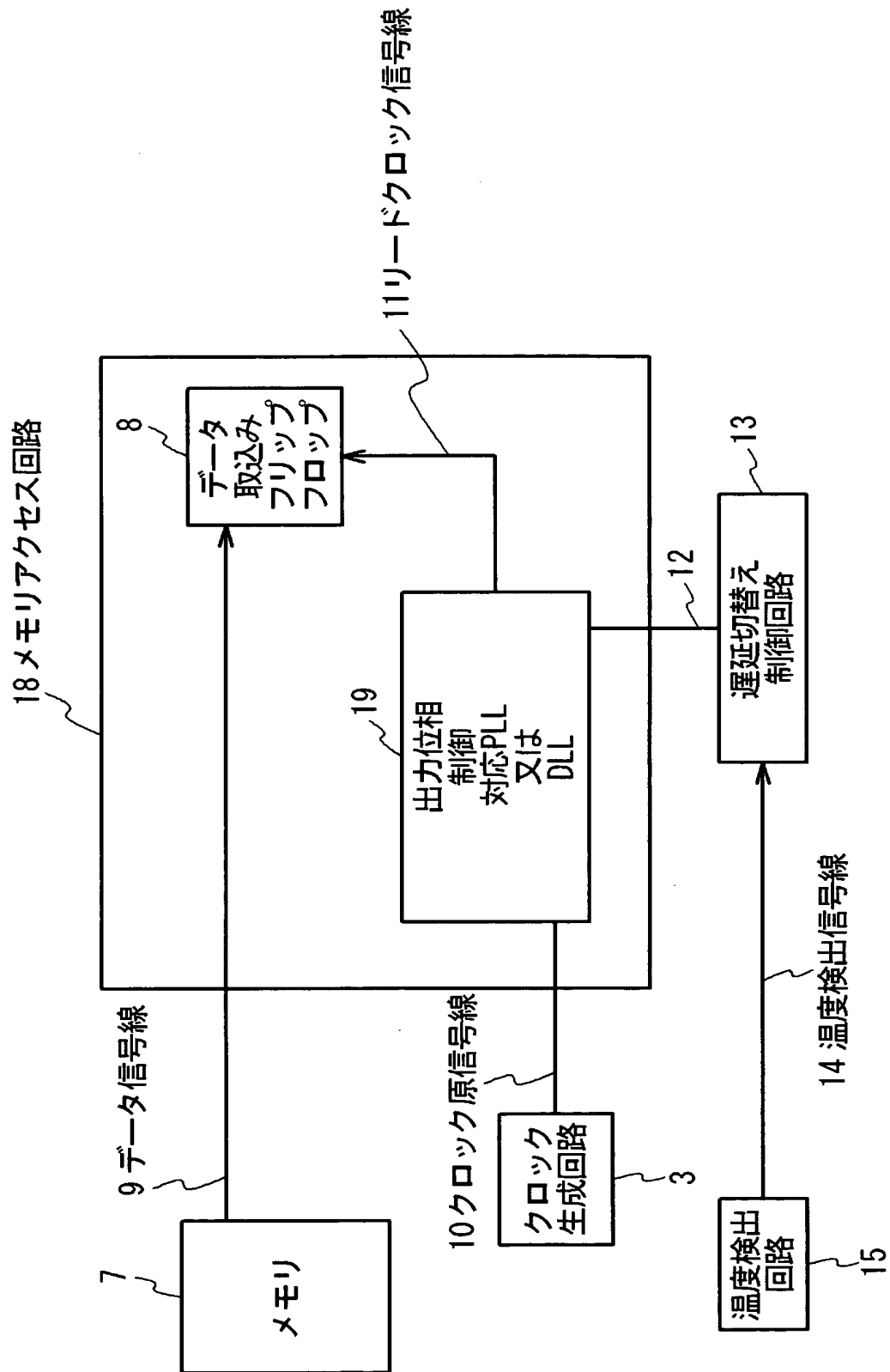
【図13】



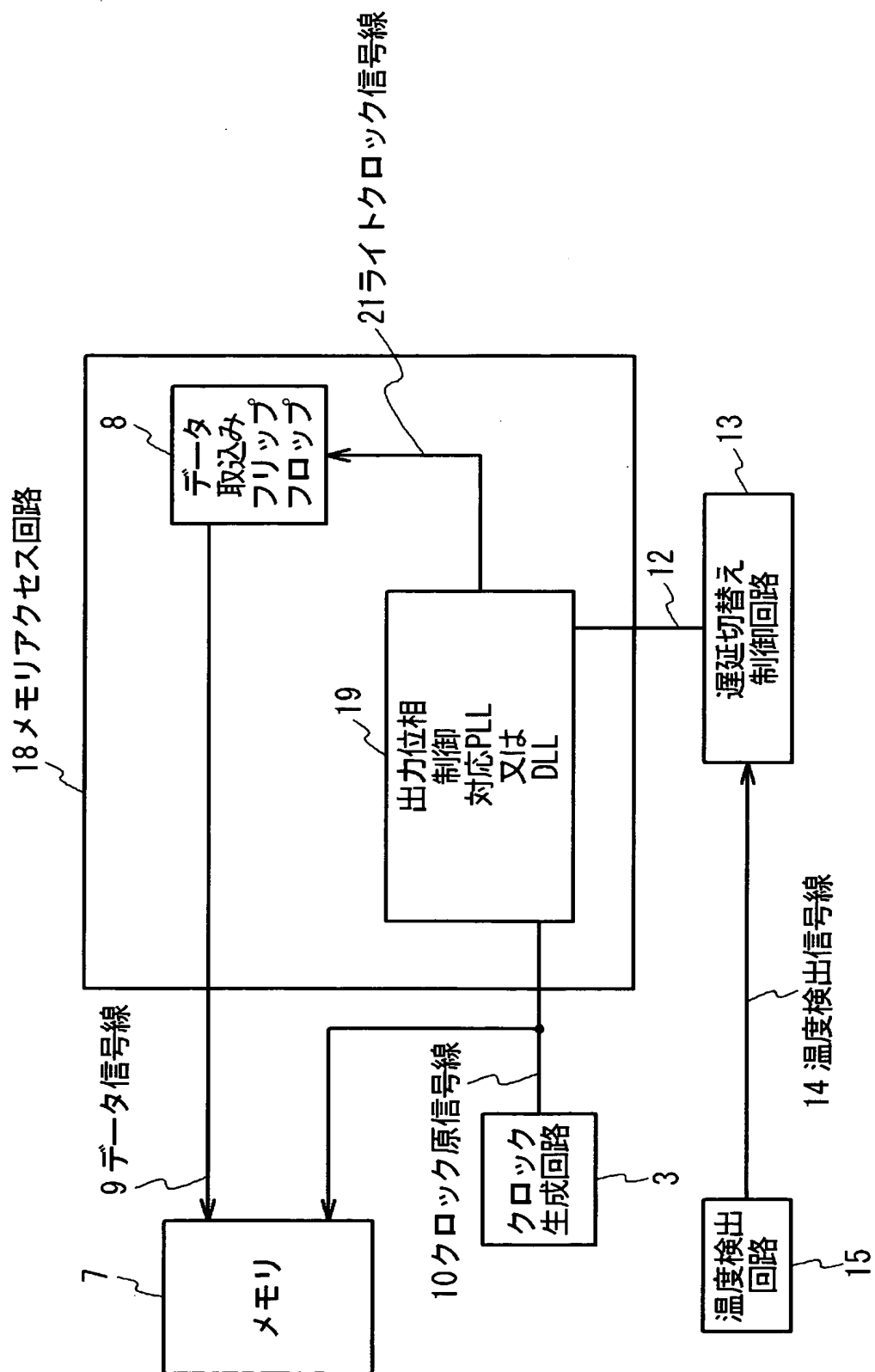
【図 14】



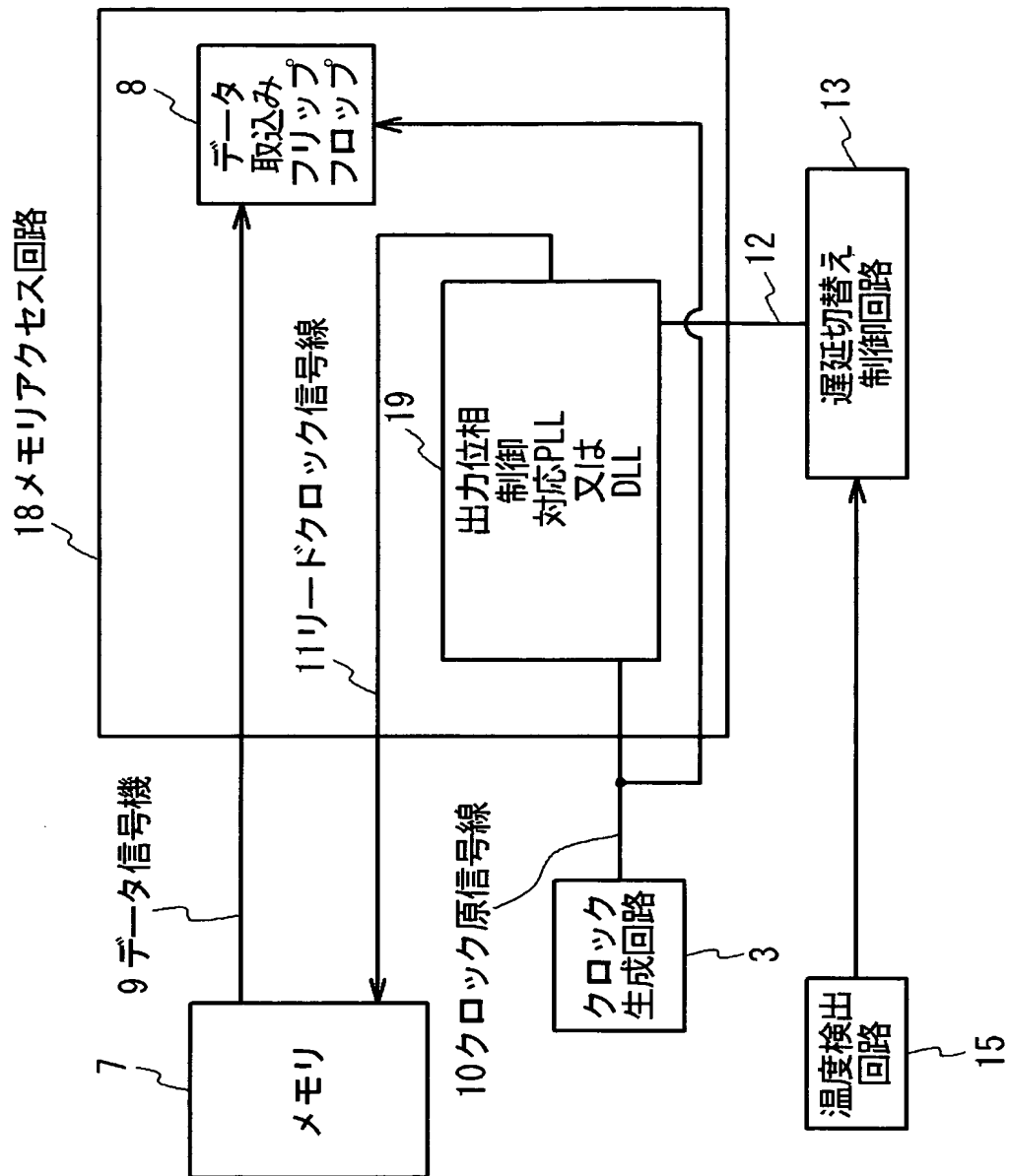
【図 15】



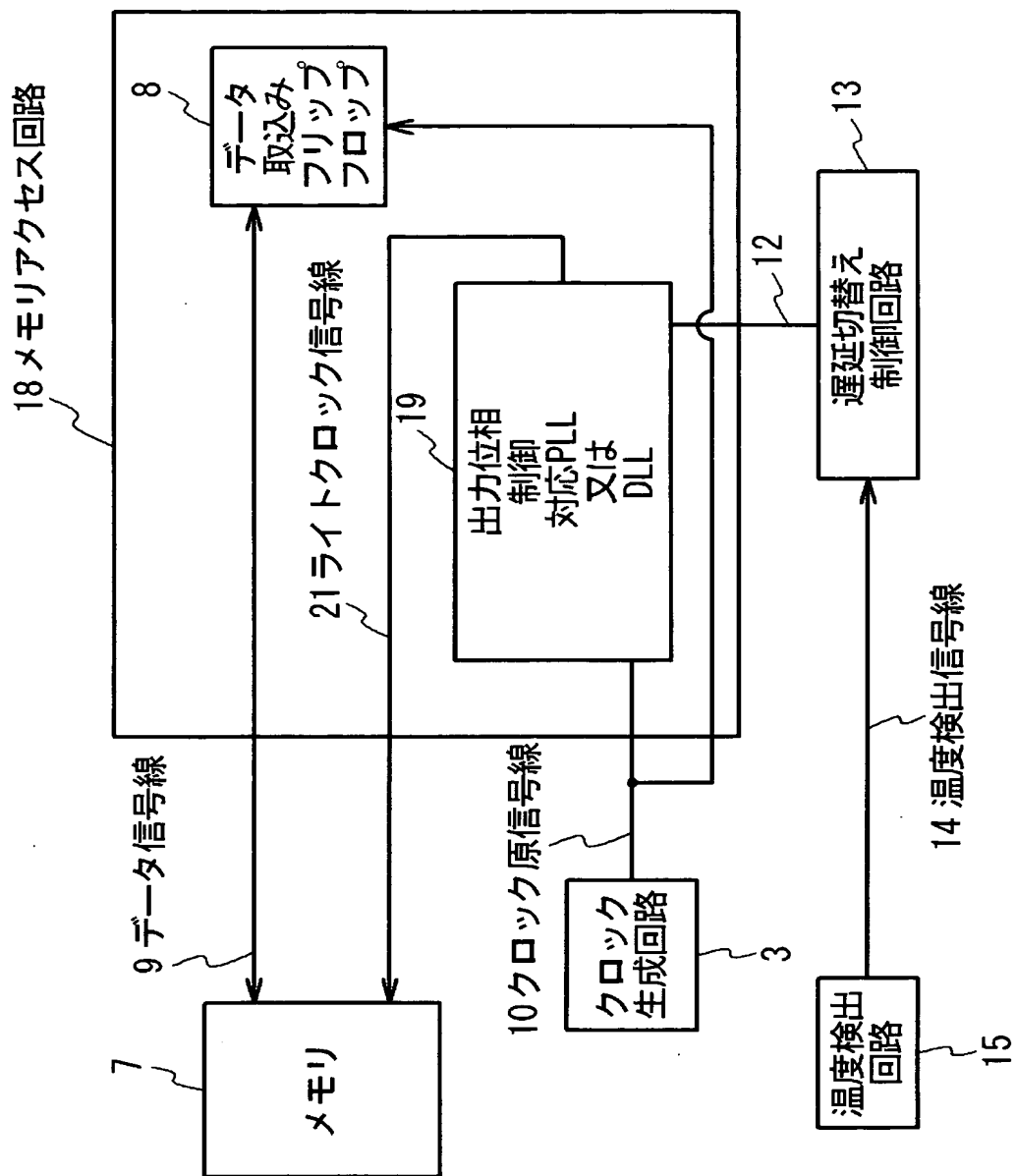
【図 16】



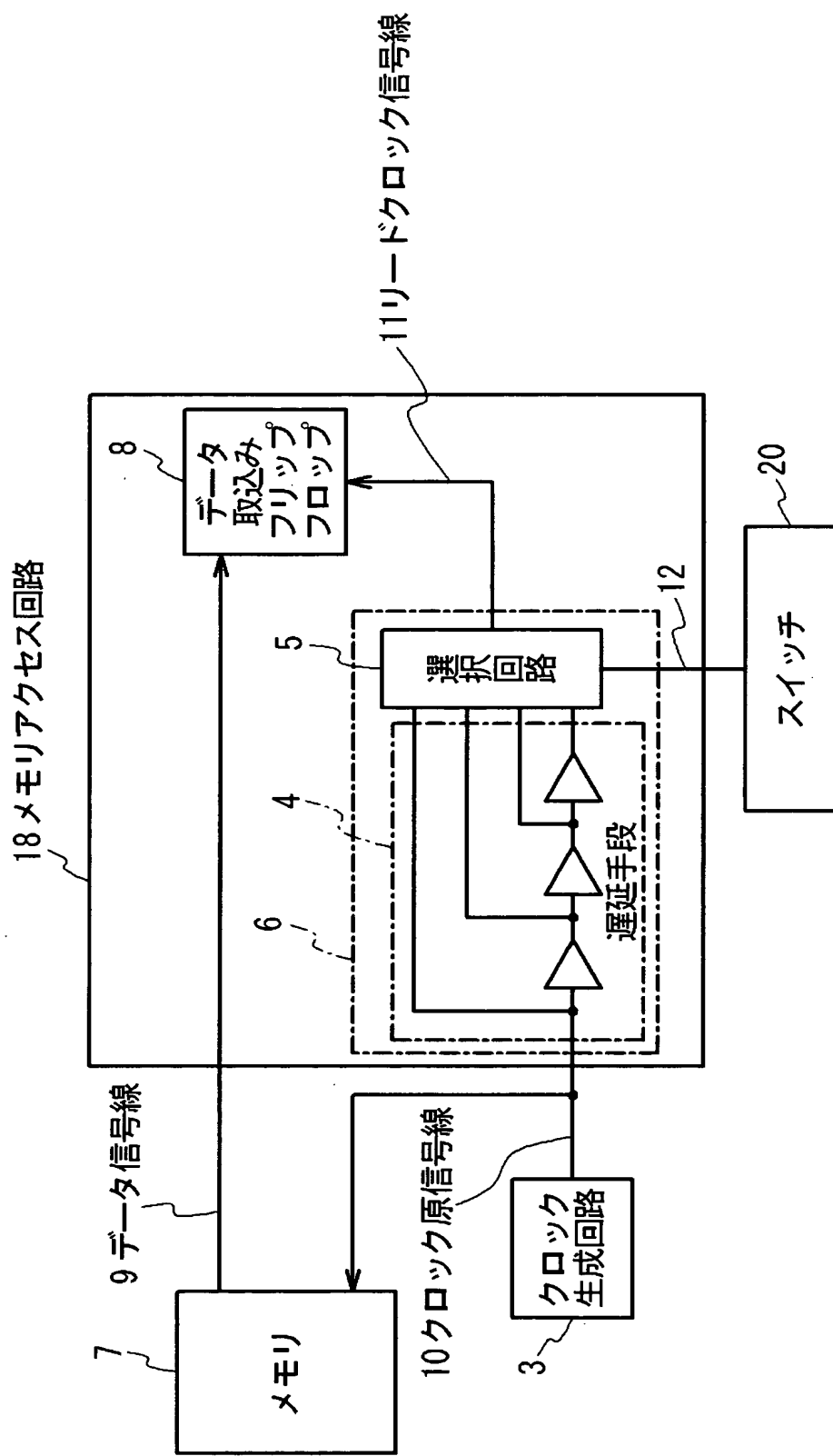
【図 17】



【図 18】



【図 19】



【書類名】 要約書

【要約】

【課題】

メモリをアクセスする回路において、温度変化や電源電圧変動の影響を受けないクロック信号の供給方法を提供する。

【解決手段】

メモリ回路において、基準クロック信号を遅延させて遅延クロック信号を生成する遅延回路と、温度検出回路と、電圧検出回路を具備し、前記温度検出回路は、回路周辺の温度を検出し、前記電圧検出回路は、回路の電源電圧を検出し、前記遅延回路は、前記温度検出回路が検出した温度データと前記電圧検出回路が検出した電圧の少なくともどちらか一方により、前記遅延クロック信号の遅延量を決定する。

【選択図】 図 1

特願 2 0 0 3 - 0 9 8 1 7 5

出 願 人 履 歴 情 報

識別番号 [0 0 0 2 3 2 1 5 1]

1. 変更年月日	2 0 0 2 年 1 1 月 1 日
[変更理由]	名称変更
住 所	東京都港区芝五丁目 7 番 1 号
氏 名	N E C プラズマディスプレイ株式会社